

(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

(12) Offenlegungsschrift  
(10) DE 195 46 805 A 1

(51) Int. Cl. 9:  
H 03 K 7/08

DE 195 46 805 A 1

(21) Aktenzeichen: 195 46 805.8  
(22) Anmeldetag: 14. 12. 95  
(23) Offenlegungstag: 16. 1. 97

(30) Unionspriorität: (22) (33) (31)  
14.07.95 KR 20840/95

(71) Anmelder:  
LG Semicon Co., Ltd., Cheongju, KR

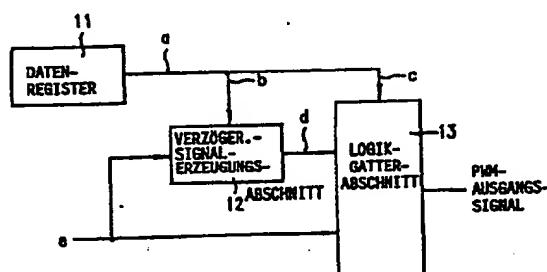
(74) Vertreter:  
TER MEER-MÜLLER-STEINMEISTER & Partner,  
Patentanwälte, 81679 München

(72) Erfinder:  
Kim, Ho Hyun, Kumi, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Impulsbreitenmodulationsschaltung

(57) Eine Impulsbreitenmodulationsschaltung, die die Impulsbreite gleichmäßig unter Verwendung eines einstellbaren Verzögerungselements einstellen kann, um Impulse mit hoher Dichte zu erzeugen, enthält folgendes:  
- ein Datenregisterteil (11) zum Aufteilen eines Datenimpulsesignals in ein erstes Auswahlsignal und ein zweites Auswahlsignal und zum Ausgeben des Aufzeichnungsergebnisses;  
- ein Verzögerungssignal-Erzeugungsteil (12) zum Verarbeiten des ersten Auswahlsignals und eines Takteingangs zum Erzeugen eines verzögerten Signals; und  
- ein Logikgatterteil (13) zum Verarbeiten des zweiten Auswahlsignals, des Takteingangs und des verzögerten Takteingangs vom Verzögerungssignal-Erzeugungsteil, um ein Impulsbreitenmodulation-Datensignal auszugeben.



DE 195 46 805 A 1

Die folgenden Angaben sind den vom Anmelder eingesetzten Unterlagen entnommen

BUNDESDRUCKEREI 11.98 602 083/530

7/24

## Beschreibung

Die Erfindung betrifft eine Impulsbreitenmodulationsschaltung (nachfolgend als "PWM-Schaltung" bezeichnet).

Nachfolgend wird unter Bezugnahme auf Fig. 1 eine herkömmliche PWM-Schaltung beschrieben. In dieser empfängt ein Zähler 1 einen regelmäßigen Takt Z, um einen mit diesem synchronisierten Zählerwert X zu liefern, und ein Detektor 2 wird dann betrieben, wenn der Zählerwert X vom Zähler 1 den Wert null hat. Ein Datenregister 3 speichert einen vorgegebenen Impulsbreite-Datenwert ein und erzeugt ein diesem Datenwert entsprechendes Impulsbreitensignal Y. Ein Komparator 4 vergleicht das Impulsbreitensignal Y vom Datenregister 3 mit dem Zählerwert X vom Zähler 1, um ein Ergebnissignal auszugeben, wenn die Werte miteinander übereinstimmen. Ein RS-Flip-Flop 5 empfängt Ausgangssignale vom Komparator 4 und vom Detektor 2, um die Impulsbreite zu modulieren.

Die wie vorstehend beschrieben aufgebaute herkömmliche PWM-Schaltung arbeitet wie folgt.

Wie es in Fig. 1 dargestellt ist, wird das Bezugstaktsignal Z als Eingangssignal im Zähler 1 gezählt, und das Ergebnis wird an den Detektor 2 gegeben, wenn das Ergebnis null ist, oder an den Komparator 4, wenn das Ergebnis den Wert Eins überschreitet.

Dann läuft der übertragene Wert "Null" durch den Detektor 2, um ein hohes Signal zu erzeugen, das seinerseits dem Rücksetzanschluß R des RS-Flip-Flops 5 zugeführt wird. Der den Wert Eins überschreitende zugeführte Zählerwert X und der Impulsbreitenwert Y vom Datenregister 3 werden im Komparator 4 verglichen, um ein hohes Signal an den Setzanschluß S des RS-Flip-Flops zu geben, wenn die verglichenen Werte miteinander übereinstimmen. So erzeugt das aufeinanderfolgende Umschalten des RS-Flip-Flops 5 ein PWM-Datensignal.

Zu diesem Zeitpunkt wird, wenn das Setzsignal S an das RS-Flip-Flop 5 hohen Pegel hat, ein Ausgangssignal Q hohen Pegels erzeugt, bis das Rücksetzsignal empfangen wird, und es wird sofort mit dem niedrigen Pegel erzeugt, sobald das Rücksetzsignal zugeführt wird.

Da die Impulsbreite bei der herkömmlichen Technik durch die Eingangstaktfrequenz der PWM-Schaltung moduliert wird, kann die Impulsbreite nicht flexibel eingestellt werden, und es kann keine erwünschte Impulsbreite eingestellt werden, die kleiner als der durch den Bezugsimpuls gegebene Minimalwert ist.

Aufgrund dieser Schaltungsbeschränkungen war es bisher unmöglich, Impulse mit hoher Dichte zu erzeugen.

Es ist eine Aufgabe der Erfindung, eine PWM-Schaltung zum gleichmäßigen Einstellen der erzeugten Impulsbreite zu schaffen, um Impulse mit hoher Dichte bei vereinfachter Schaltung erzeugen zu können.

Die erfindungsgemäße PWM-Schaltung ist durch die Lehre des beigelegten Anspruchs 1 gegeben. Sie verfügt über ein einstellbares Verzögerungselement, mit dessen Hilfe die Impulsbreite frei eingestellt werden kann. Es sind kein Zähler und Komparator vorhanden, wodurch die Schaltung vereinfacht ist.

Die vorstehend genannten und weitere Aufgaben und Vorteile der Erfindung werden durch die nachfolgend beschriebenen bevorzugten Ausführungsbeispiele unter Bezugnahme auf die beigelegten Zeichnungen deutlicher.

Fig. 1 ist eine Ansicht, die den Aufbau einer her-

kömmlichen PWM-Schaltung zeigt;

Fig. 2 ist eine Ansicht, die den Gesamtaufbau einer erfindungsgemäßen PWM-Schaltung zeigt;

Fig. 3 ist ein detailliertes Blockdiagramm, das einen Abschnitt zum Erzeugen eines Signals delHx in der erfindungsgemäßen PWM-Schaltung zeigt;

Fig. 4 ist ein detailliertes Blockdiagramm, das einen Logikgatterabschnitt in der erfindungsgemäßen PWM-Schaltung zeigt; und

Fig. 5 zeigt Signalverläufe während des Betriebs der erfindungsgemäßen PWM-Schaltung.

Nachfolgend wird unter Bezugnahme auf die Fig. 2 bis 4 eine erfindungsgemäße PWM-Schaltung im einzelnen beschrieben.

Gemäß Fig. 2 verfügt die erfindungsgemäße PWM-Schaltung über ein Datenregister 11 zum Einspeichern eines Impulsbreite-Datensignals, das aus einem Durchlaß-Auswahlsignal c aus den höchstsignifikanten Bit und einem Verzögerungsauswahlsignal b aus den restlichen, geringstsignifikanten Bits besteht. Außerdem verzögert ein Verzögerungssignal-Erzeugungsabschnitt 12 die Ausgabe eines Bezugstakt-Eingangssignals e abhängig vom Wert des Verzögerungsauswahlsignals b. Ein Logikgatterabschnitt 13 empfängt das Bezugstaktsignal e und das verzögerte Taktsignal d als zwei Eingangssignale und liefert mittels des Gateauswahlsignals c das PWM-Datensignal.

Der verzögerungssignal-Erzeugungsabschnitt 12, wie er in Fig. 3 dargestellt ist, enthält eine Verzögerungsschaltungseinheit 14 zum n-maligen sequentiellen Verzögern des Bezugstaktsignals, um Verzögerungssignale  $d_0$  bis  $d_n$  der Anzahl  $n+1$  an einen Multiplexer 15 zu liefern. Der Multiplexer 15, der die  $n+1$  Eingangssignale erhält, verarbeitet die  $n+1$  Verzögerungssignale  $d_0$  bis  $d_n$  von der Verzögerungsschaltungseinheit 14 sowie das Verzögerungsauswahlsignal b, um eines der verzögerten Taktsignale auszuwählen.

Der Logikgatterabschnitt 13, wie er in Fig. 4 dargestellt ist, enthält ein NAND-Gatter 16 zum Ausführen einer NAND-Verknüpfung eines durch Invertieren des Bezugstaktsignals e gebildeten Signals und des verzögerten Taktsignals d, das das Ausgangssignal des Multiplexers 15 ist. Ein UND-Gatter 17 verarbeitet das Bezugstaktsignal e und das verzögerte Taktsignal d vom Multiplexer 15. Ein Multiplexer 18 mit zwei Eingängen empfängt die Ausgangssignale des NAND-Gatters 16 und des UND-Gatters 15 über seine zwei Eingangsanschlüsse  $I_0$  und  $I_1$ , und außerdem über einen Freigabeanschluß S desselben, das Durchlaß-Auswahlsignal c, das den höchstsignifikanten Bits in den Ausgangssignalen des Datenregisters 11 entspricht, um dadurch das PWM-Datensignal auszugeben.

Nachfolgend wird die Funktion der erfindungsgemäßen, wie vorstehend beschrieben aufgebauten PWM-Schaltung im einzelnen erläutert.

Wie es in Fig. 5 dargestellt ist, die Signalverläufe in der erfindungsgemäßen PWM-Schaltung während deren Betrieb zeigt, wird das vom Datenregister erzeugte Impulsbreite-Datensignal in das Verzögerungsauswahlsignal b und das Durchlaß-Auswahlsignal c aufgeteilt, um dem Verzögerungssignal-Erzeugungsabschnitt bzw. dem Logikgatterabschnitt 13 zugeführt zu werden.

Dann werden die  $n+1$  verzögerten Signale  $d_0$  bis  $d_n$ , die durch n-maliges (mit  $n = 0, 1, \dots, n$ ) Verzögern des Bezugstaktsignals e durch die Verzögerungsschaltungseinheit 14 erzeugt wurden, den Eingangsanschlüssen  $I_0$  bis  $I_n$  des  $(n+1)$ -Multiplexers 15 zugeführt.

Hierbei wird eines unter den  $n+1$  verzögerten Signa-

len  $d_0$  bis  $d_n$  durch den  $(n+1) \times 1$ -Multiplexer 15 mittels des Verzögerungsauswahlsignals b ausgewählt, um das verzögerte Taktsignal d zu bestimmen.

Dabei entspricht der Verzögerungswert d des verzögerten Taktsignals dem Verzögerungswert der Verzögerungsschaltungseinheit 14, multipliziert mit dem Wert des Verzögerungsauswahlsignals b, wobei das verzögerte Taktsignal d größer als null ist und der halben Periode des Bezugstaktsignals e entspricht oder kleiner ist.

Wenn das Durchlaß-Auswahlsignal c, das das dem Logikgatterabschnitt 13 zugeführte Freigabesignal S ist, niedrigen Pegel hat, werden ein aus dem Bezugstaktsignal e gebildetes invertiertes Signal  $\bar{e}$  und das verzögerte Taktsignal d, das das Ausgangssignal des Multiplexers 15 ist, den Eingangsanschlüssen des NAND-Gatters 16 zugeführt, um der NAND-Verknüpfung unterworfen zu werden, wobei das Ergebnis an dessen Ausgangsanschluß ausgegeben wird. Dieses Ausgangssignal  $P_0$  wird an den Eingangsanschluß  $I_0$  des Multiplexers 18 mit zwei Eingängen gegeben, um das PWM-Ausgangssignal zu erzeugen. Wenn das Freigabesignal S hoch ist, werden das Bezugstaktsignal e und das verzögerte Taktsignal d ODER-verknüpft, um das Ausgangssignal  $P_1$  über den Ausgangsanschluß  $I_1$  des Multiplexers 18 mit  $2 \times 1$ -Eingängen zu liefern, um dadurch das PWM-Ausgangssignal zu erzeugen. Daher wird im Logikgatterabschnitt 13 bestimmt, ob eine Impulsbreite zum Durchlaß-Auswahlsignal c addiert wird, die der Hälfte des Bezugstaktsignals e entspricht.

In der wie vorstehend beschrieben aufgebauten erfundsgemäßen PWM-Schaltung können Impulse mit hoher Dichte unabhängig von der Taktfrequenz erzeugt werden, ohne daß ein Zähler und ein Komparator erforderlich sind, wodurch der Schaltungsaufbau vereinfacht ist.

#### Patentansprüche

1. Impulsbreitenmodulationsschaltung, gekennzeichnet durch:
  - einen Datenregisterteil (11) zum Aufteilen eines Datenimpulssignals in ein erstes Auswahlsignal und ein zweites Auswahlsignal und zum Ausgeben des Aufzeichnungsergebnisses;
  - einen Verzögerungssignal-Erzeugungsteil (12) zum Verarbeiten des ersten Auswahlsignals und eines Taktsignals zum Erzeugen eines verzögerten Signals; und
  - einen Logikgatterteil (13) zum Verarbeiten des zweiten Auswahlsignals, des Taktsignals und des verzögerten Taktsignals vom Verzögerungssignal-Erzeugungsteil, um ein Impulsbreitenmodulation-Datensignal auszugeben.
2. Impulsbreitenmodulationsschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Verzögerungssignal-Erzeugungsteil (12) folgendes aufweist:
  - einen Verzögerungsschaltungseinheit-Ab schnitt (14) zum n-maligen Verzögern des Taktsignals; und
  - einen Verzögerungssignal-Auswahlabschnitt (15) zum Verarbeiten des Ausgangssignals des Verzögerungsschaltungseinheit-Ab schnitts und des ersten Auswahlsignals, um das verzögerte Taktsignal auszugeben.
3. Impulsbreitenmodulationsschaltung nach An-

spruch 2, dadurch gekennzeichnet, daß der Verzögerungssignal-Auswahlabschnitt einen  $(n+1) \times 1$ -Multiplexer aufweist.

4. Impulsbreitenmodulationsschaltung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß der Logikgatterteil (13) folgendes aufweist:

- ein erstes Logikgatter (16) zum Verarbeiten des invertierten Taktsignals und des verzögerten Taktsignals;
- ein zweites Logikgatter (17) zum Verarbeiten des Taktsignals und des verzögerten Taktsignals, und
- eine Auswahleinrichtung zum Verarbeiten der Ausgangssignale des ersten und zweiten Logikgatters und des zweiten Ausgangssignals, um das PWM-Datensignal auszugeben.

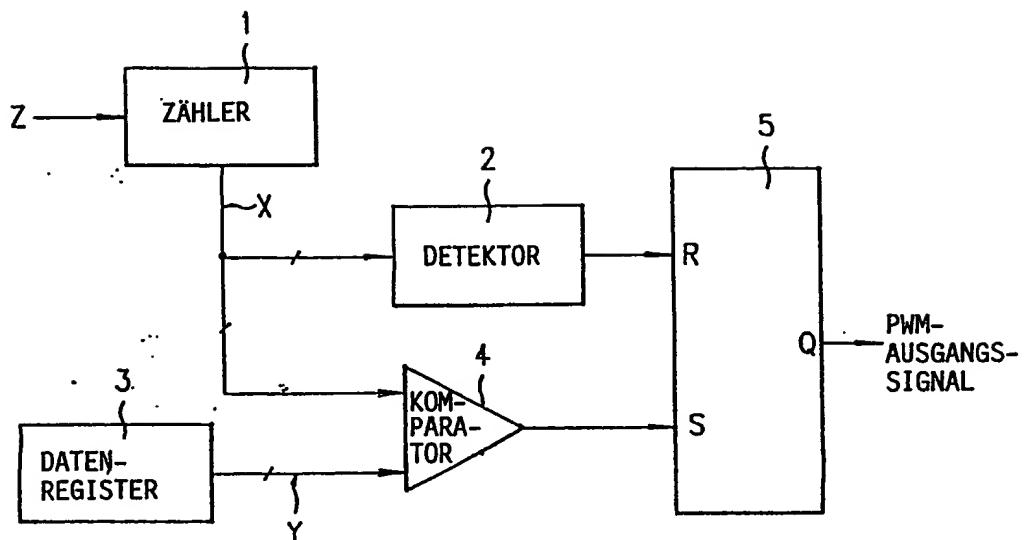
5. Impulsbreitenmodulationsschaltung nach Anspruch 4, dadurch gekennzeichnet, daß das erste Logikgatter ein NAND-Gatter (16) ist.

6. Impulsbreitenmodulationsschaltung nach Anspruch 4, dadurch gekennzeichnet, daß das zweite Logikgatter ein UND-Gatter (17) ist.

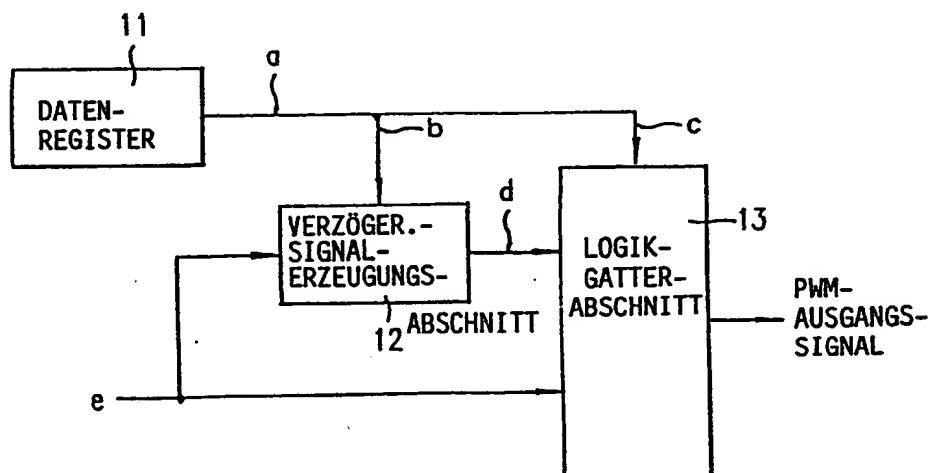
7. Impulsbreitenmodulationsschaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Auswahleinrichtung ein  $2 \times 1$ -Multiplexer (18) ist.

Hierzu 4 Seite(n) Zeichnungen

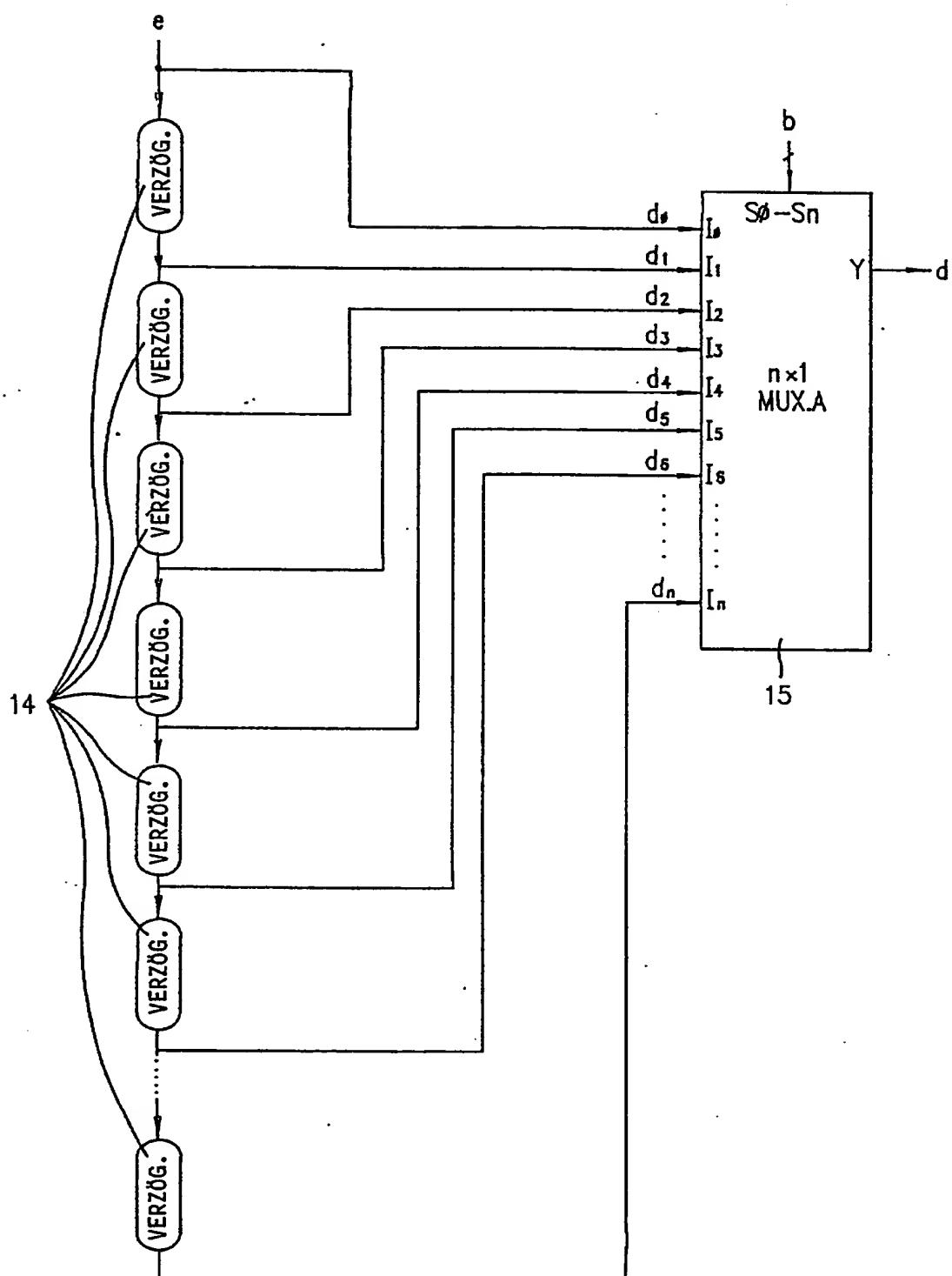
F I G.1



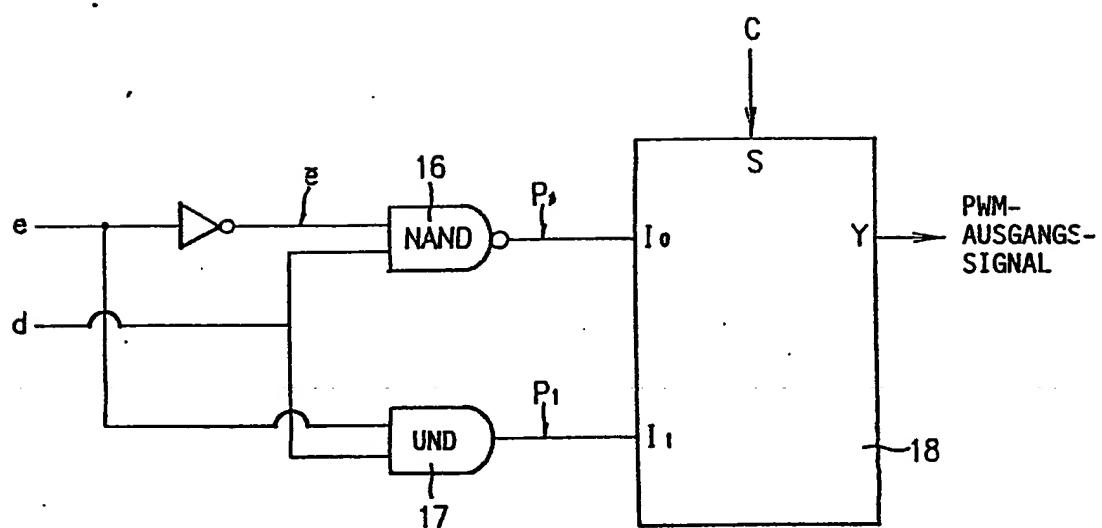
F I G.2



F I G.3



F | G.4



## F I G.5

